

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018008

(43)Date of publication of application : 19.01.1996

(51)Int.CI.

H01L 27/04

H01L 21/822

(21)Application number : 06-146606

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.06.1994

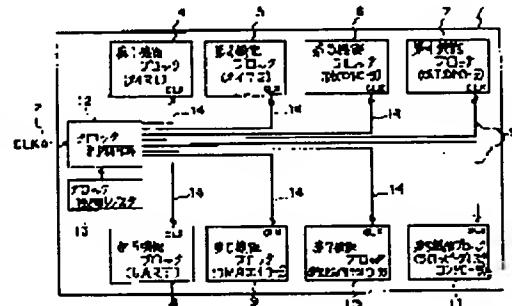
(72)Inventor : HASEGAWA KENJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To suppress wasting of power caused by no supply of clock signal to unused functional block signal, by controlling supply of clock signal to a functional block based on the functional block selection data stored in a clock control register.

CONSTITUTION: A clock control circuit 12, based on the value of control data written and set in a clock control register 13, controls supply of clock signal to each functional block. That is, by setting control data corresponding to used and unused functional blocks in the clock control register 13, the clock signal supplied to unused functional block is stopped, so that, wasteful power consumption caused by supplying clock signal to unused functional block is suppressed.



(3)

ックにクロック信号が供給されることによる無駄な消費電力を外部から抑制する半導体集積回路装置を得ることを目的とする。

[0009]請求項5の発明は、使用されない機能ブロックへのクロック信号の供給を抑制し、あるいは削り込みがあったときには削込み用クロック信号に供給された新込み用機能ブロックデータを基に前記機能ブロックへのクロック信号が供給されることにより電力を節約できる半導体集積回路装置を得ることを目的とする。

[0010]請求項6の発明は、使用されない機能ブロ

ックにクロック信号が供給されることによる無駄な消費電力を外部的に抑制し、また使用されない機能ブロックにより抑制できる半導体集積回路装置を得ることを目的とする。

[0011]請求項7のための平成11請求項1の発明に係る半導体集積回路装置は、機能ブロックへのクロック信号の供給を抑制するための機能ブロックデータを基に前記機能ブロ

ックへの削り込み用クロック信号を削除するクロック選択データを供給することにより抑制できる半導体集積回路装置を得たものである。

[0012]請求項2の発明に係る半導体集積回路装置は、機能ブロックへのクロック信号が供給されることにより抑制するクロック信号を基に前記機能ブロ

ックへの削り込み用クロック信号を削除するクロック選択データを供給することにより抑制できる半導体集積回路装置を得たものである。

[0013]請求項3の発明に係る半導体集積回路装置は、機能ブロックへのクロック信号の供給を抑制するクロック選択回路を外部から送られてくる受信データにより抑制する非同期式汎用並列伝送回路を得たものである。

[0014]請求項4の発明に係る半導体集積回路装置は、外部から送られてくるデータとあらかじめ設定されたデータとを比較手段が比較した結果、一致する場合には、外部から人気される部品が削除されると判断される機能ブロックへのクロック信号が供給されることにより抑制するクロック信号を削除するための削除用機能ブロックデータを基に前記機能ブロ

ックへのクロック信号が供給されることによる無駄な消費電力を外部から抑制しえ可能にする。

[0015]請求項5の発明に係る半導体集積回路装置は、外部から人気される部品が削除されると判断される機能ブロックへのクロック信号が供給されることにより抑制するクロック信号を削除するための削除用機能ブロックデータを基に前記機能ブロ

ックへのクロック信号が供給されることによる無駄な消費電力を抑制する機能を削除する構造を備えたものである。

[0016]請求項6の発明に係る半導体集積回路装置は、外部から人気される部品が削除されると判断される機能ブロックへのクロック信号が供給されることにより抑制するクロック信号を削除するための削除用機能ブロ

(4)

削り込みにより抑制することを可能にする。

[0023]

[実施例]

実施例1. 以下、請求項1の発明の一実施例を例について説明する。図1は、本実施例の半導体集積回路装置の構成を示すブロック図である。図1において図7と同一または相当の部分については同一の符号を付す。図において1-2は各機能ブロックへのクロック信号の供給を抑制するクロック選択データである。図1は各機能ブロック4～11へクロック信号を供給する内部クロック信号である。

[0024]図2は、クロック制御レジスタ1-3に書き込まれ設定された制御データを示す説明図である。図2の(a)は、全ての機能ブロック4～11にクロック信号を供給する制御データ「11111111」が書き込まれ設定されているクロック制御回路1-2に内蔵されている。図2の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データ「11111111」が書き込まれ設定されたタイマ1-8は、クロック制御回路1-2に内蔵されたタイマ1-8は、クロック信号の供給の制御は、前記実施例1の動作と同じである。クロック制御回路1-2に内蔵されたタイマ1-8は、クロック信号の供給を抑制するクロック制御データに従ってクロック制御回路1-2が各種機能ブロック4～11へクロック信号を供給する内部クロック信号である。

[0025]図3は、クロック制御レジスタ1-3の状態を示している。図3の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号が供給されると同時にクロック信号が削除される瞬間にクロック信号が供給されることが示されている。図3の(b)は、全ての機能ブロック4～11にクロック信号を供給する制御データ「11111111」が書き込まれ設定されたタイマ1-8は、クロック制御回路1-2による各種機能ブロックへのクロック信号の供給の制御はタイマ1-8に設定された四回転したとき開始され、あるいはタイマ1-8に設定された時間が経過する間、実行される。

[0026]図4は、クロック制御レジスタ1-3に第3機能ブロック6と第4機能ブロック7とにクロック信号を供給しないような制御データを設定した場合には、第3機能ブロック6と第4機能ブロック7の内蔵レジスタ3の内容を示す。第3機能ブロック7に内蔵レジスタ7に供給されるクロック信号が第4機能ブロック7に内蔵レジスタ7に供給されるクロック信号と同一のクロック信号が供給される。

[0027]図5は、第2機能ブロック1の制御データが最も上のビットが第1機能ブロック4の制御データ4に対応し、以下の順番に下位に進んで第2機能ブロック5の制御データ5に対応し、以下順番に下位に進んで第3機能ブロック6の制御データ6に対応し、…、最下位のビットが第8機能ブロック1の制御データ1に対応している。

[0028]図6次に、動作について説明する。この半導体集積回路装置1の各種機能ブロック4～11へのクロック信号の供給は、主クロック端子(外部端子)2からクロック制御回路1-2を介して内部分岐クロック信号線1-1により制御される。また、クロック制御回路1-2は、クロック制御レジスタ1-3に書き込まれ設定されたクロック信号の供給を抑制する。また、クロック制御レジスタ1-3により各機能ブロックへのクロック信号の供給を止めることが可能となる。

[0029]図7の(a)に示す制御データが供給されると、主機能ブロック6と第3機能ブロック7の内蔵レジスタ7に供給されているクロック信号がタイマ1-8に設定された時間が経過して停止するまでに第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を外部メモリに追書きされ、第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を削除する。

[0030]図7の(b)に示す制御データが供給されると、主機能ブロック6と第3機能ブロック7の内蔵レジスタ7に供給されるクロック信号がタイマ1-8に設定された時間が経過して停止するまでに第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を外部メモリに追書きされ、第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を削除する。

[0031]図8は、主機能ブロック6と第3機能ブロック7とにクロック信号が供給されると、主機能ブロック6と第4機能ブロック7の内蔵レジスタ7に供給されるクロック信号がタイマ1-8に設定された時間が経過して停止するまでに第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を外部メモリに追書きされ、第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を削除する。

[0032]図9は、主機能ブロック6と第3機能ブロック7とにクロック信号が供給されると、主機能ブロック6と第4機能ブロック7の内蔵レジスタ7に供給されるクロック信号がタイマ1-8に設定された時間が経過して停止するまでに第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を外部メモリに追書きされ、第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を削除する。

[0033]図10は、主機能ブロック6と第3機能ブロック7とにクロック信号が供給されると、主機能ブロック6と第4機能ブロック7の内蔵レジスタ7に供給されるクロック信号がタイマ1-8に設定された時間が経過して停止するまでに第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を外部メモリに追書きされ、第3機能ブロック6と第4機能ブロック7の内蔵レジスタ7の内容を削除する。

図(c)に示す制御データがクロック制御レジスタ1-3に設定されたときに、各機能ブロックへのクロック信号の供給は停止される。

[0028]図2において制御データを示す説明図では、使用する機能ブロック(使用しない機能ブロック)に対する制御データを「1」、使用しない機能ブロックに対する制御データを「0」として構成された制御データをクロック信号を「0」にして削除されることで、削除しない機能ブロ

ック(使用する機能ブロック)に対する制御データをクロック信号を「1」にして供給されることで、削除しない機能ブロックに対する制御データを「0」にして削除されることで、削除しない機能ブロ

ック(使用する機能ブロック)に対する制御データをクロック信号を「1」にして供給することによって図7と同一または相当の部分については同一の符号を付す。図において1-2は各機能ブロック4～11へのクロック信号の供給を抑制するクロック選択データである。図1は各機能ブロック4～13に設定することによって制御データを示す説明図である。

[0029]図3において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図3の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図3の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0030]図4において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図4の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図4の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0031]図5において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図5の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図5の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0032]図6において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図6の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図6の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0033]図7において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図7の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図7の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0034]図8において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図8の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図8の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0035]図9において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図9の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図9の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0036]図10において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図10の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図10の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0037]図11において制御データを示す説明図では、各機能ブロック4～11にクロック信号を供給するクロック制御回路1-2に内蔵されている。図11の(a)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。図11の(b)は、第1機能ブロック4と第3機能ブロック6と第5機能ブロック8と第7機能ブロック10にクロック信号を供給する制御データと同一のクロック信号の供給を抑制する制御データを示す。

[0033] 大きめに動作について説明する。クロック制御レジスタ1-3に書き込まれた制御データの値に基づいてクロック制御回路1-2による各機能ブロックへのクロック信号の供給を抑制する制御データが書き込まれる第2クロック制御レジスタである。2-8は割り込みを受け付ける割り込み処理部である。

[0034] 図6は、図5に示す第1クロック制御レジスタ2-6と第2クロック制御レジスタ2-7に書き込まれた制御データを示す機能図である。同図(ａ)は、第4機能ブロック7のためにクロック制御された制御データ「111101111」が第1クロック制御レジスタ2-6に記録された状態を示している。同図(ｂ)は、すべての機能ブロックにクロック信号を供給するときの設定データが第2クロック制御レジスタ2-7に書き込まれた状態を示している。

路盤面の各駆動ブロックのクロック駆動回路12は、各主クロック駆動器2からクロック駆動回路12を介して各電源ブロックへ接続された内部分クロックは号線14により行われている。クロック駆動回路12は、第1クロック駆動レジスタ26あるいは第2クロック駆動レジ

[0036] 従って本実施例では、外部から送られてきたデータを、既にUART1により、クロック節制周波数100MHzで、データを、キーボード23か6第7機能プロセッサ1へ向けて送信する。21への別脚を止めよう。

クの脚レジスター 27 に設定された制御データの内容に基づいて各機能ブロックへのクロック信号の供給を制御する。この場合、制御データは「11111111」であるから第 4 機能ブロック 7 および全ての機能ブロックにクロック信号が供給され、CRT 21 への刷写を開始する。

の出力とキーボード 2 3からキー入力された削込み信号に応じて、各機部プロックへのクロック信号の供給を、第 1 クロック制御レジスタ 2 6に設定された前脚データの内容に従つたものから新 2 クロック制御レジスタ 2 7に設定された前脚データの内容に従つたものに切り替えることができ、各機部プロックへのクロックへの供給の制御に柔軟性を持たすことが可能となる。

[0043] なお、以上説明した実施例では、ダイヤル 8と削込み処理部 2 8とをクロック的回路 1 2に駆動するように構成したが、ダイヤル 8を駆動することなく削込み構成した場合である。2 6はクロック制御回路 1 2により各種機部プロックへのクロック信号の供給を制御するための前脚データが書き込まれる前 1 クロック制御

み漏れ部第2.8のみを脱け、断込処理部第2.8において受け付けた割り込みの内容に応じて第1クロック制御レジスタ2.6あるいは第2クロック制御レジスタ2.7の解説データの内容に応じた各機能ブロックへのクロックはサードウェーブの供給の瞬間に作成してもよい。

【発明の効果】以上のように、請求項1の発明によれば、地盤プロック選択データを精査するクロック制御レジスタと、該クロック制御レジスタに精査された地盤プロック選択データを基に地盤プロックへのクロック信号供給を制御するクロック制御回路とを備えるように構成したので、使用されない地盤プロックにクロック信号が供給されることによる無駄な消費電力を抑制できる半導体装置構造が得られる効果がある。

このように、本発明によれば、クロック駆動回路をタイム上に複数個構成する前記クロック駆動回路のうちのクロック駆動回路の供給を抑制する前記クロック駆動回路をタイム上に複数個構成することにより瞬時にクロック駆動回路の供給を遮断して、使用しないクロック駆動回路にクロック駆動回路の供給を遮断されることによる無駄な消費電力を、時間的に削減できる。また、本発明によれば、半導体装置の初期化装置が得られる効果がある。

【0048】請求項5の明示によれば、剪込用刃頭部が斜めに剪込されるときに、斜めに剪込された部分をクロック頭部レジスターに格納された剪込用機能プロック選択データにより機能プロックへのクロック信号の供給を制御する。

にクロック信号が供給されることに

による無駄な消費電力を踏み倒すにより抑制できる半導体人体検知警報装置が得られる効果がある。

【0019】請求項6の発明によれば、タイマのリカバリ時間に依存された相続部brook選択データを基に各種搭載brookデータとを基に各種brookへのクロック供給の供給量を割り当てるクロック制御部により、あるいは省込み部が割込みを受け付けられると同時にクロック制御レジスタに格納されたときには省込み用クロック制御データを基に各種搭載brookデータを基に各種brookへのクロック供給量を確保するように構成したので、使用されない機能brookにより無駄な消費電力を同時に抑制できることによる無駄な消費電力を抑制できる半導体人体検知警報装置が得られる効果がある。

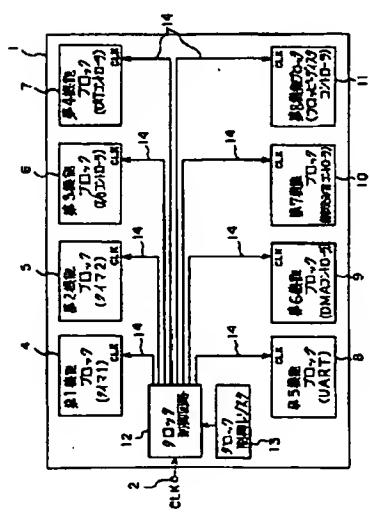
図版 10 (右) 中止試験
[図版 1] 評定 1 の発明による半導体製造
 [回路基板装置のクロック駆動レジスタによる半導体製造] 評定 1 の発明による半導体製造である。
[図版 2] 評定 1 の発明による半導体製造
 [回路基板装置のクロック駆動レジスタによる半導体製造] 評定 1 の発明による半導体製造である。

[図6.3] 請求項2の発明の一実施例による半導体基板
上に示す回路装置の構成を示すブロック図である。
[図6.4] 請求項3と請求項4の発明の一実施例による
半導体基板回路装置の構成を示すブロック図である。
[図6.5] 請求項5と請求項6の発明の一実施例による
半導体基板回路装置の構成を示すブロック図である。
[図6.6] 請求項5と請求項6の発明の一実施例による
半導体基板回路装置のブロック構成レジスタに書き込まれ
て記載された印刷データを示す枚別図である。

ク固である。
【付録の写真】
2. 桟橋端子(外部端子)、4. 第1機能ブロック
2. 桟橋端子(内部端子)、5. 第2機能ブロック、7.
第4機能ブロック、8. 第5機能ブロック、9. 第6
機能ブロック、10. 第7機能ブロック、11. 第8機
能ブロック(機能ブロック)、12. クロック駆動回
路ブロック、13. クロック駆動レジスタ、18. ティア、19.
コンバータ、JART(新開港式丸船用送油船)、19a. コン
バータ、JART(新開港式丸船用送油船)、19b. コンバ

(7)

[図1]



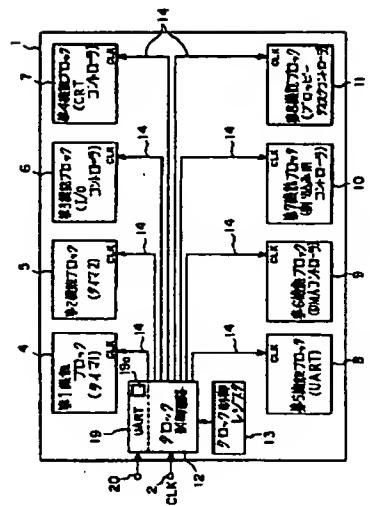
2.主クロック電子(主時鐘)

[図2]

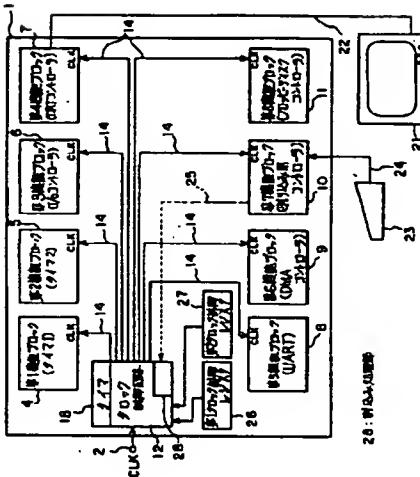
第1回路 第2回路 第3回路 第4回路 第5回路 第6回路 第7回路	
プロック ブロック ブロック ブロック ブロック ブロック ブロック	70V 70V 70V 70V 70V 70V 70V
1	1 1 1 1 1 1 1
2	0 0 0 0 0 0 0
3	1 1 1 1 1 1 1
4	0 0 0 0 0 0 0
5	1 1 1 1 1 1 1
6	0 0 0 0 0 0 0
7	1 1 1 1 1 1 1
8	0 0 0 0 0 0 0

(8)

[図1]

19:UART(映像記録用シリアル通信)
19a:コバード接続(映像)

[図5]

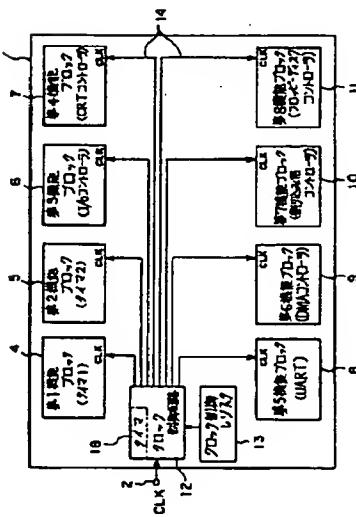


20:映像出力端子

[図6]

第1回路 第2回路 第3回路 第4回路 第5回路 第6回路 第7回路	
1	1 1 1 1 1 1 1
2	0 0 0 0 0 0 0
3	1 1 1 1 1 1 1
4	0 0 0 0 0 0 0
5	1 1 1 1 1 1 1
6	0 0 0 0 0 0 0
7	1 1 1 1 1 1 1
8	0 0 0 0 0 0 0

[図3]



(6)

[xxvii]

